

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

F-018

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-235406

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl.<sup>6</sup>  
H 01 C 7/10

識別記号 庁内整理番号

F 1

技術表示箇所

審査請求 未請求 求査項の数1 0L (全3頁)

(21)出願番号	特願平6-28124	(71)出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22)出願日	平成6年(1994)2月25日	(72)発明者	内田 彰 埼玉県秩父市横瀬町大字横瀬2270番地 三菱マテリアル株式会社セラミックス研究所 内

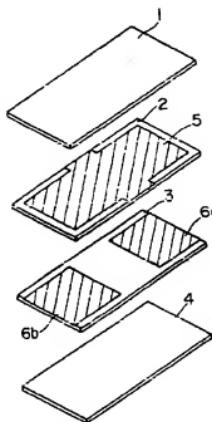
(54)【発明の名称】 チップ容量性バリスタ

(57)【要約】

【目的】本発明は、容量性バリスタが内蔵されたチップ

容量性バリスタに関し、実装密度を向上させる。

【構成】1つのチップ容量性バリスタに複数の容量性バ  
リスタ素子を内蔵した。



1

2

## 【特許請求の範囲】

【請求項1】 電圧非直線性抵抗磁器を有するシート状の基体と、

前記基体を挟む、各ペアを構成する少なくとも一方どうしが互いに電気的に非接触に形成された複数ペアの内部電極とを備えたことを特徴とするチップ容量性パリスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、容量性パリスタが内蔵されたチップ容量性パリスタに関する。

## 【0002】

【従来の技術】 従来より、電子楽器のノイズ及びサージ対策用としてパリスターが使用されている。従来は、チップコンデンサとチップパリスターが基板上に必要な場合、1回路につき各々1個ずつ実装されていた。

## 【0003】

【発明が解決しようとする課題】 ところが、上述のように、従来はノイズ、サージ対策用として、1回路に各々1個ずつ基板に実装していたため実装密度が低いという問題を抱えていた。本発明は、上記事情に鑑み、実装密度を向上させることのできるノイズ、サージ対策用素子としてのチップ容量性パリスタを提供することを目的とする。

## 【0004】

【課題を解決するための手段】 上記目的を達成する本発明のチップ容量性パリスタは、

(1) 電圧非直線性抵抗磁器を有するシート状の基体

(2) 基体を挟む、各ペアを構成する少なくとも一方どうしが互いに電気的に非接触に形成された複数ペアの内部電極

を備えたことを特徴とするチップ容量性パリスタ。

【0005】 ここで、上記電圧非直線性抵抗磁器は、酸化チタン、酸化セリウムを基本成分とした焼結体であって、その基本成分組成が、酸化セリウムをCeO<sub>2</sub>に換算して0.02～2.0、0モル%含み、残部が酸化チタンであることが好ましい。あるいは、上記電圧非直線性抵抗磁器は、酸化チタン、酸化セリウム及び半導体化元素酸化物を基本成分とした焼結体であって、その基本成分組成が、酸化セリウムをCeO<sub>2</sub>に換算して0.02～2.0、0モル%、半導体化元素酸化物をM<sub>2</sub>O<sub>3</sub>に換算して0.5モル%以下含み、残部が酸化チタンであってもよい。

## 【0006】

【作用】 本発明のチップ容量性パリスタは、基板が電圧非直線性抵抗磁器を含み、その基板の一面に電気的に非接触の複数の内部電極が形成されており、したがって1つのチップ内に複数のチップ容量性パリスタが形成されている。このため1つの素子で複数回路のノイズ、サージ対策を行うことができ、回路基板への実装密度が向上

する。

## 【実施例】

以下、本発明の実施例について説明する。図1は、2つの容量性パリスタ素子が内蔵されたチップ容量性パリスタの各グリーンシートの例を示した図、図2はその外観斜視図、図3はその等価回路図である。

【0008】 ここでは図示の4枚のグリーンシート1～4が用意される。それらのグリーンシート1～4には、ポリエチルのベースシートに後述する電圧非直線性抵抗磁器材料のスラリーをドクターブレード法により印刷し、乾燥することにより形成される。ここで用いる電圧非直線性抵抗磁器材料としては、例えばTlO<sub>2</sub> 9.9、4.8モル%、Sb<sub>2</sub>O<sub>3</sub> 0.12モル%、CeO<sub>2</sub> 0.40モル%のものが採用され、これにさらには焼結材として、SrCO<sub>3</sub> 3～7%が加えられる。尚、電圧非直線性抵抗磁器材料の詳細については、特開昭61-174601号公報を参照されたい。

【0009】 これら4枚のグリーンシート1～4のうちグリーンシート2、3には、電圧非直線性抵抗磁器材料を印刷、乾燥した後、さらに、それぞれ図示の形状となるよう導電性ペーストをドクターブレード法により印刷し、乾燥し、これにより内部電極5、6a、6bが形成される。これらの内部電極5、6a、6bのうち、グリーンシート2を形成する電圧非直線性抵抗磁器材料を挟む、内部電極5、6aのペア、内部電極5、6bのペアにより、それぞれ図3に示す等価回路中の容量性パリスタ素子11、12が構成される。

【0010】 以上のようにして形成された4枚のグリーンシート1～4が互いに積層されて熱圧着により一体化された後、870℃2時間焼成され、焼結体が得られる。その焼結体をバーレル研磨してその焼結体の裏面から内部電極5、6a、6bを露出させ、それらの内部電極5、6a、6bが露出した部分にAgを主成分とした導電性ペーストを塗布し、これにより、図2に示すように、内部電極5a、6bとそれぞれ接続された電極7、8および内部電極5と接続された電極9a、9bを形成する。これにより、図2に示す形状の容量性パリスタ素子が2素子内蔵されたチップ容量性パリスタ10が完成する。

【0011】 なお、本発明のチップ容量性パリスタは、2つの容量性パリスタ素子を内蔵するものに限られるものではなく、それ以上の数の容量性パリスタを内蔵するものであってもよい。

## 【0012】

【発明の効果】 以上説明したように、本発明のチップ容量性パリスタは、複数の容量性パリスタ素子を内蔵したものであるため、1つのチップ部品で複数回路のノイズ、サージ対策を行なうことができ、実装密度の向上が図られる。

3

4

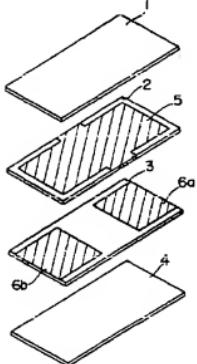
## 【図面の簡単な説明】

【図1】2つの容量性パリスタ素子が内蔵されたチップ容量性パリスタの各グリーンシートの例を示した図である。

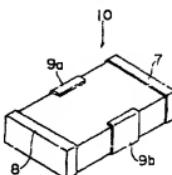
【図2】チップ容量性パリスタの外観斜視図である。

【図3】チップ容量性パリスタの等価回路図である。

【図1】



【図2】



【図3】

